

EMULATOR

Patent Number: JP8036504

Publication date: 1996-02-06

Inventor(s): MIYAZAKI SUKEJI; others: 02

Applicant(s): HITACHI LTD; others: 01

Requested Patent: JP8036504

Application Number: JP19940173031 19940726

Priority Number(s):

IPC Classification: G06F11/22

EC Classification:

Equivalents:

Abstract

PURPOSE: To efficiently debug an internal logic circuit of a semi-custom semiconductor device such as a PLD and an FPGA mounted on a application system.

CONSTITUTION: Logical description information on the object circuit which is inputted by a user is compiled and transferred to a logic emulation control part 8 and on the basis of the data, logical operation is performed, and the result is outputted to a user interface 13 through a logic bus 12 and outputted to the output pin of a probe 13b connected to the socket for the target PLD of the application system. A slave detecting circuit 5 detects the execution/stop conditions of a logic program, the emulation execution result is traced by a trace memory 6, and the internal logic provided to the application system is efficiently debugged.

Data supplied from the **esp@cenet** database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-36504

(43)公開日 平成8年(1996)2月6日

(51) Int.Cl. 6

識別記号 庁内整理番号
340 A

F I

技術表示箇所

審査請求 未請求 請求項の数 4 O.L. (全 7 頁)

(21) 出願番号 特願平6-173031

(22)出願日 平成6年(1994)7月26日

(71) 出題人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(71) 出願人 000233169

株式会社日立マイコンシステム
東京都小平市上水本町5丁目22番1号

(72) 発明者 宮崎 亮児

東京都小平市上水本町5丁目22番1号 株
式会社日立マイコンシステム内
脅木 健一

(34) 代理人 美理士 篓井 未和

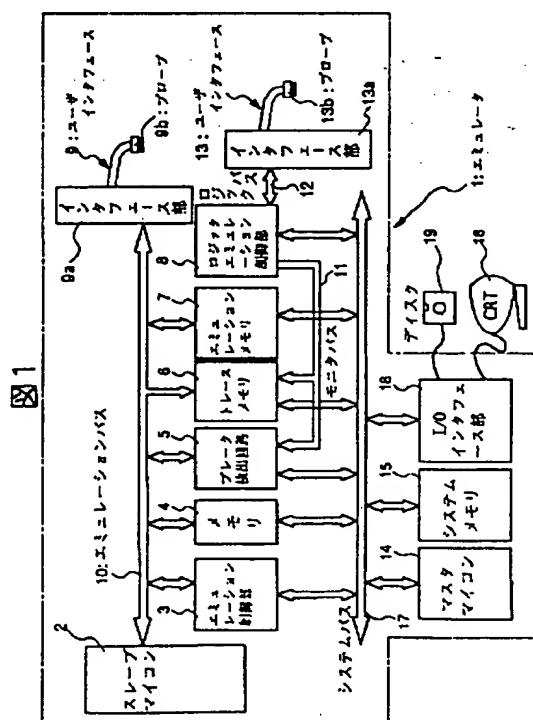
最終頁に続く

(54) 【発明の名称】 エミュレータ

(57) 【要約】 (修正有)

【目的】応用システムに搭載されているPLD, FGA等のセミカスタム半導体装置の内部論理回路を効率よくデバッグする。

【構成】 ユーザが入力された対象回路の論理記述情報をコンパイルし、ロジックエミュレーション制御部8に転送し、そのデータに基づいて論理動作を行い、ロジックバス12を介してユーザインタフェース13に出力し、応用システムのターゲットPLD用のソケットに接続されたプローブ13bの出力ピンに出力させる。ロジックプログラムの実行、停止条件は、ブレーク検出回路5によって検出し、エミュレーション実行結果のトレースはトレースメモリ6によりを行い、応用システムに設けられる内部論理を効率よくデバッグする。



【特許請求の範囲】

【請求項 1】 マイクロコンピュータを用いた応用システムのソフトウェアおよびハードウェアの評価を行うエミュレータであって、前記応用システムに搭載されているロジックプログラムを書き込みできるセミカスタム半導体装置の論理動作を代行するロジックエミュレーション制御部と、前記ロジックエミュレーション制御部から入出力される信号を所定の信号に変換するユーザインターフェースとを設け、前記ロジックエミュレーション制御部により前記セミカスタム半導体装置の論理動作を代行することを特徴とするエミュレータ。

【請求項 2】 前記ロジックエミュレーション制御部が代行するロジックプログラムにおける実行、停止条件を、前記マイクロコンピュータを動作させるユーザプログラムの実行、停止条件を検出するブレーク検出回路により検出させ、前記ロジックエミュレーション制御部が代行したロジックプログラムにおける実行結果を、前記マイクロコンピュータを動作させるユーザプログラムにおけるエミュレーション実行結果を取得するトレースメモリにより取得させることを特徴とする請求項 1 記載のエミュレータ。

【請求項 3】 前記ロジックエミュレーション制御部が、ロジックプログラムをコンパイルした論理記述データを受け取り、論理記述データの書き込みの制御を行う論理合成ブロック書き込み制御ブロックと、前記論理合成ブロック書き込み制御ブロックにより書き込まれた論理記述に従い、論理動作を行う論理合成ブロックと、前記論理合成ブロックにおける内容のモニタリングを行い、前記ブレーク検出回路および前記トレースメモリにデータ転送を行うトレース、ブレーク制御部インターフェースとよりなることを特徴とする請求項 1 または 2 記載のエミュレータ。

【請求項 4】 前記ロジックエミュレーション制御部に、動作モードの選択が行われる選択信号を前記論理合成ブロックに出力するモード選択部を設け、前記論理合成ブロックが、再書き込み可能な F P G A と、予めロジックプログラムが書き込まれた各種の前記セミカスタム半導体装置を実装できる複数のソケットとよりなり、前記 F P G A または前記複数のソケットに実装された前記セミカスタム半導体装置のいずれかをユーザが任意に選択して論理動作を行うことを特徴とする請求項 1、2 または 3 記載のエミュレータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、エミュレータに関し、特に、P L D (Programmable Logic Device)、F P G A (Field Programmable Gate Array) のロジックプログラムを書き込みできるセミカスタム半導体装置を搭載した応用システムのデバッグに適用して有効な技術に関

するものである。

【0002】

【従来の技術】 本発明者が検討したところによれば、エミュレータは、ユーザプログラムの実行状態においてメモリの内容表示、変更が可能となっており、ユーザが開発中である応用機器のメインプロセッサとなるマイクロコンピュータに対しての入出力信号のトレースやプログラム実行、停止などのデバッグ機能を司っている。

【0003】 なお、エミュレータについて記載されている例としては、日立マイクロコンピュータエンジニアリング株式会社発行「日立マイコン技術」昭和 60 年 1 月 1 日発行、第 2 卷第 2 号、P 21～P 22 がある。

【0004】

【発明が解決しようとする課題】 ところが、上記のようなエミュレータでは、次のような問題点があることが本発明者により見い出された。

【0005】 すなわち、近年、P L D および F P G A などのロジックプログラムを書き込むことのできるセミカスタム半導体装置が急速に普及し、使用ゲート数が増大するに従い、ハードウェアにおけるデバッグの多くの時間をセミカスタム半導体装置のデバッグが占めるようになってしまっている。

【0006】 よって、応用システムのマイクロコンピュータのみをエミュレートするエミュレータでは、応用システムに搭載されたセミカスタム半導体装置の内部論理を効率よくデバッグすることが困難となっている。

【0007】 本発明の目的は、応用システムに搭載されている P L D 、 F P G A などのセミカスタム半導体装置の内部論理回路を効率よくデバッグするエミュレータを提供することにある。

【0008】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0010】 すなわち、本発明のエミュレータは、応用システムに搭載されているロジックプログラムを書き込みすることのできる、P L D 、 F P G A などのセミカスタム半導体装置の論理動作を代行するロジックエミュレーション制御部と、ロジックエミュレーション制御部から入出力される信号を所定の信号に変換するユーザインターフェースとを設け、ロジックエミュレーション制御部により P L D の論理動作を代行するものである。

【0011】 また、本発明のエミュレータは、ロジックエミュレーション制御部が代行するロジックプログラムにおける実行、停止条件を、マイクロコンピュータを動作させるユーザプログラムの実行、停止条件を検出するブレーク検出回路により検出させ、ロジックエミュレー

ジョン制御部が代行したロジックプログラムにおける実行結果を、マイクロコンピュータを動作させるユーザプログラムにおけるエミュレーション実行結果を取得するトレースメモリにより取得させるものである。

【0012】さらに、本発明のエミュレータは、ロジックエミュレーション制御部が、ロジックプログラムをコンパイルした論理記述データを受け取り、論理記述データの書き込みの制御を行う論理合成ブロック書き込み制御ブロックと、前記論理合成ブロック書き込み制御ブロックにより書き込まれた論理記述に従い、論理動作を行う論理合成ブロックと、論理合成ブロックにおける内容のモニタリングを行い、ブレーク検出回路およびトレースメモリにデータ転送を行うトレース、ブレーク制御部インタフェースとよりなるものである。

【0013】また、本発明のエミュレータは、ロジックエミュレーション制御部に、動作モードの選択が行われる選択信号を論理合成ブロックに出力するモード選択部を設け、論理合成ブロックが再書き込み可能なFPGAと、予めロジックプログラムが書き込まれた各種のセミカスタム半導体装置を実装できる複数のソケットとなり、FPGAまたは複数のソケットに実装されたセミカスタム半導体装置のいずれかをユーザが任意に選択して論理動作を行うものである。

【0014】

【作用】上記した本発明のエミュレータによれば、ロジックエミュレーション制御部によりセミカスタム半導体装置の論理動作を行い、ユーザインタフェースによりロジックエミュレーション制御部から出入力される信号を所定の信号に変換し、応用システムにおけるセミカスタム半導体装置、FPGAなどのセミカスタム半導体装置が搭載されるソケットに接続することによってセミカスタム半導体装置の論理動作を代行することができる。

【0015】また、上記した本発明のエミュレータによれば、ブレーク検出回路によりロジックエミュレーション制御部が代行するロジックプログラムにおける実行、停止条件を検出させ、トレースメモリによってロジックエミュレーション制御部が代行したロジックプログラムにおける実行結果を取得させることにより、ロジックプログラムにおけるステータスによるブレークやトレース表示などが可能となり、セミカスタム半導体装置の内部論理をデバッグすることができる。

【0016】さらに、上記した本発明のエミュレータによれば、論理合成ブロック書き込み制御ブロックがロジックプログラムをコンパイルした論理記述データを受け取り、論理記述データの書き込みの制御を行い、論理合成ブロックにより論理合成ブロック書き込み制御ブロックにより書き込まれた論理記述に従い、論理動作を行い、トレース、ブレーク制御部インタフェースにより論理合成ブロックにおける内容をブレーク検出回路およびトレースメモリに転送することにより、セミカスタム半

導体装置の論理動作の代行およびセミカスタム半導体装置の内部論理をデバッグをすることができる。

【0017】また、上記した本発明のエミュレータによれば、モード選択部により、ロジックエミュレーション制御部に所定の動作モードの選択を行う信号を論理合成ブロックに出力し、再書き込み可能なFPGAと、予めロジックプログラムが書き込まれた各種のセミカスタム半導体装置のいずれかをユーザが任意に選択することによって、実機のセミカスタム半導体装置によるデバッグを行うことができる。

【0018】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

【0019】(実施例1) 図1は、本発明の実施例1によるエミュレータのブロック図、図2は、本発明の実施例1によるエミュレータにおけるロジックエミュレーション制御部の内部ブロック図、図3は、本発明の実施例1によるエミュレータにおける論理構成回路のブロック図である。

【0020】本実施例1において、ユーザが開発中の図示しない応用システムのデバッグを行うエミュレータ1には、ターゲットマイコンの機能を代行するスレーブマイコン2が設けられている。

【0021】また、エミュレータ1は、エミュレーション動作を制御するエミュレーション制御部3、エミュレーション動作時に使用されるメモリ4、ユーザプログラムの実行、停止条件を検出するブレーク検出回路5、エミュレーション実行結果を取得するトレースメモリ6、応用システムの任意のアドレスに割り付けて使用できるエミュレーションメモリ7および応用システムに搭載されているPLD、FPGAなどのロジックプログラムを書き込みできるセミカスタム半導体装置(以下、ターゲットPLDという)の論理動作を代行する機能を有するロジックエミュレーション制御部8が設けられている。

【0022】さらに、エミュレータ1には、ユーザインタフェース9が設けられている。このユーザインタフェース9は、所定のデータ変換を行なうインタフェース部9aと、インタフェース部9aの先端部に応用システムのターゲットマイクロコンピュータ用のソケットに接続されるブロープ9bとから構成されている。

【0023】そして、スレーブマイコン2は、これらエミュレーション制御部3、メモリ4、ブレーク検出回路5、トレースメモリ6、エミュレーションメモリ7、ロジックエミュレーション制御部8およびユーザインタフェース9と、エミュレーションバス1-0を介して接続されている。

【0024】また、ロジックエミュレーション制御部8は、モニタバス11を介してブレーク検出回路5およびトレースメモリ6に接続しており、ロジックプログラムにおけるステータスによるブレークやトレース表示を行

うことができる。

【0025】さらに、ロジックエミュレーション制御部8は、ロジックバス12を介してユーザインタフェース13と接続されている。ユーザインタフェース13も所定のデータ変換を行うインタフェース部13aと、インタフェース部13aの先端部に応用システムのターゲットPLD用のソケットに接続されるプローブ13bとから構成されている。

【0026】また、エミュレータ1には、エミュレータ1の制御を司るマスタマイコン14が設けられ、このマスタマイコン14は、応用システム用メモリであるシステムメモリ15および所定のデータ変換を行うI/Oインターフェース部16とシステムバス17を介して接続されている。

【0027】さらに、I/Oインターフェース部16には、データの入出力を行うマンマシンインターフェース用のCRT18とデータメモリ用のディスク19とが接続されている。

【0028】また、マスタマイコン14は、エミュレーション制御部3、メモリ4、ブレーク検出回路5、トレースメモリ6、エミュレーションメモリ7およびロジックエミュレーション制御部8のそれぞれとアクセスすることが可能であり、エミュレーション実行時、スレーブマイコン2は応用システムに搭載されているメモリまたはエミュレーションメモリ7のユーザプログラムを実行する。

【0029】次に、本実施例の作用について説明する。

【0030】まず、ユーザは、ディスク19からVHDL(VHSIC Hardware Description Language)などの論理設計用記述言語で表現されたターゲットPLDの論理記述情報をロードする。

【0031】そして、その論理記述情報をコンパイルし、コンパイルの結果をロジックエミュレーション制御部8にシステムバス17を介して転送する。

【0032】次に、ロジックエミュレーション制御部8は、応用システムのターゲットPLDに入力される信号状態に応じ、転送されたデータに基づいて論理動作を行い、その結果をロジックバス12を介してユーザインタフェース13に出力し、実チップであるPLDまたはFPGAを取り外して応用システムのターゲットPLD用のソケットに接続されたプローブ13bの出力ピンに出力させる。

【0033】また、ロジックエミュレーション制御部8の内部には、図2に示すように、システムバス17を介して転送される論理記述データを受け取り、論理記述データの書き込みの制御を行う論理合成ブロック書き込み制御ブロック20が設けられている。

【0034】さらに、この論理合成ブロック書き込み制御ブロック20は、論理合成ブロック書き込み制御ブロ

ック20により書き込まれた論理記述に従い応用システムにおけるターゲットPLDに入力される信号状態に応じてターゲットPLDの出力ピンに出力させる論理合成ブロック21と書き込み制御バス22を介して接続されている。

【0035】また、論理合成ブロック21、トレース、ブレーク制御部インタフェース23およびユーザインタフェース13のそれぞれは、ロジックバス12を介して接続されている。

【0036】さらに、このトレース、ブレーク制御部インタフェース23は、ロジックバス12をモニタリングし、予めユーザにより設定された所定のデータをモニタバス11を介してブレーク検出回路5(図1に示す)およびトレースメモリ6(図1に示す)にデータ転送を行うものである。

【0037】よって、コンパイルされた論理記述は、システムバスを介してロジックエミュレーション制御部8の論理合成ブロック書き込み制御ブロック20に転送され、論理合成ブロック21に論理記述データの書き込みが行われる。

【0038】また、論理合成ブロック21の内部は、図3に示すように、ある程度のゲート規模のPLD、FPGAを包括する大規模な再書き込み可能なFPGAからなる汎用論理合成部21aにより構成されており、論理記述データとともに送信されるデバイスタイルに従ってビンアサインが行われる。

【0039】そして、論理合成ブロック書き込み制御ブロック20が、汎用論理合成部21aに論理記述を書き込むと、汎用論理合成部21aは転送されたデータに基づいて論理動作を行い、その結果をロジックバス12を介してユーザインタフェース13に出力し、ターゲットPLD用のソケットに接続されたプローブ13bの出力ピンから出力する。

【0040】また、予めユーザが設定したロジックプログラムの実行、停止条件の検出は、ロジックバス12をモニタリングしているトレース、ブレーク制御部インタフェイス23を介してブレーク検出回路5によって行われ、エミュレーション実行結果のトレースもトレース、ブレーク制御部インターフェイス23を介してトレースメモリ6により行われる。

【0041】それによって、本実施例1では、ロジックエミュレーション制御部8をターゲットPLDと同等の動作をさせ、その動作信号をブレーク検出回路5およびエミュレーションメモリ6によってモニタリングし、ロジックプログラムのステータスによるブレークおよびトレース表示を可能とすることにより、応用システムに設けられるPLD、FPGAの内部論理を効率よくデバッグすることができる。

【0042】(実施例2)図4は、本発明の実施例2によるエミュレータにおけるロジックエミュレーション制

御部の内部ブロック図、図5は、本発明の実施例2によるエミュレータにおける論理構成回路のブロック図である。

【0043】本実施例2においては、ロジックエミュレーション制御部8の内部に、図4に示すように、動作モードの選択が行われる選択信号を論理合成ブロック21に出力するモード選択部24が選択信号線25を介して設けられている。

【0044】また、論理合成ブロック21の内部は、図5に示すように、再書き込み可能なFPGAからなる汎用論理合成部21aと、実チップのPLD、FPGAでのエミュレートを可能とするために各パッケージのタイプに応じて実装が可能な各種の実チップ実装エリア（ソケット）21b～21dとがロジックバス12を介して接続されており、論理記述が書き込まれたPLD、FPGAを実チップ実装エリア21b～21dの所定のソケットに接続して論理動作を行う。

【0045】さらに、汎用論理合成部21a、実チップ実装エリア21b～21dの選択は、論理合成ブロック書き込み制御ブロック20により論理記述データの書き込みが行われる時に、予めユーザが指定することによってモード選択部24から出力される選択信号により行われる。

【0046】そして、たとえば、モード選択部24によって汎用論理合成部21aが選択されると、汎用論理合成部21aは転送されたデータに基づいて論理動作を行い、その結果をロジックバス12を介してユーザインターフェース13に出力し、ターゲットPLD用のソケットに接続されたプローブ13bの出力ピンから出力する。

【0047】次に、たとえば、実チップ実装エリア21b～21dの内、実チップ実装エリア21bを選択する場合には、ユーザが予めCRT18により実チップ実装エリア21bを選択すると、モード選択部24によって所定の信号が出力され、実チップエリア21bを選択する。

【0048】この時、ユーザは、予め論理記述が書き込まれたPLD、FPGAを実チップ実装エリア21bのソケットに実装しておき、実チップのPLDまたはFPGAによる論理動作を行う。

【0049】それによって、本実施例2においても、ロジックエミュレーション制御部8をターゲットPLDと同等の動作をさせ、その動作信号をブレーク検出回路5およびエミュレーションメモリ6によってモニタリングし、ロジックプログラムのステータスによるブレークおよびトレース表示を可能とすることにより、応用システムに設けられるPLD、FPGAの内部論理を効率よくデバッグすることができる。

【0050】また、実チップ実装エリア21b～21dに実装した予め論理記述が書き込まれたPLD、FPGAを選択して論理動作させることによって実デバイス

によるトレースが可能となる。

【0051】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0052】たとえば、前記実施例2では、実チップ実装エリア21b～21dは、実チップであるPLD、FPGAの各パッケージタイプに応じた実装が可能なソケットであったが、これら実チップ実装エリア21b～21dのそれぞれに実装したPLD、FPGAのロジックプログラム書き込み機能を追加するようにしてもよい。

【0053】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0054】(1) 本発明によれば、エミュレータに設けられたロジックエミュレーション制御部によりセミカスタム半導体装置の論理動作を代行できる。

【0055】(2) また、本発明では、ブレーク検出回路、トレースメモリによってロジックエミュレーション制御部が代行したロジックプログラムにおける実行結果を取得させることによって、ステータスによるロジックプログラムのブレークやトレース表示などを行うことができる。

【0056】(3) さらに、本発明においては、再書き込み可能なFPGAと、予めロジックプログラムが書き込まれた各種のセミカスタム半導体装置のいずれかをユーザが任意にモード選択部により選択することによって、実機のPLDによるデバッグを行うことができる。

【0057】(4) また、本発明によれば、上記(1)～(3)によって、応用システムに搭載されるセミカスタム半導体装置の内部論理を効率よくデバッグすることができる。

【図面の簡単な説明】

【図1】本発明の実施例1によるエミュレータのブロック図である。

【図2】本発明の実施例1によるエミュレータにおけるロジックエミュレーション制御部の内部ブロック図である。

【図3】本発明の実施例1によるエミュレータにおける論理構成回路のブロック図である。

【図4】本発明の実施例2によるエミュレータにおけるロジックエミュレーション制御部の内部ブロック図である。

【図5】本発明の実施例2によるエミュレータにおける論理構成回路のブロック図である。

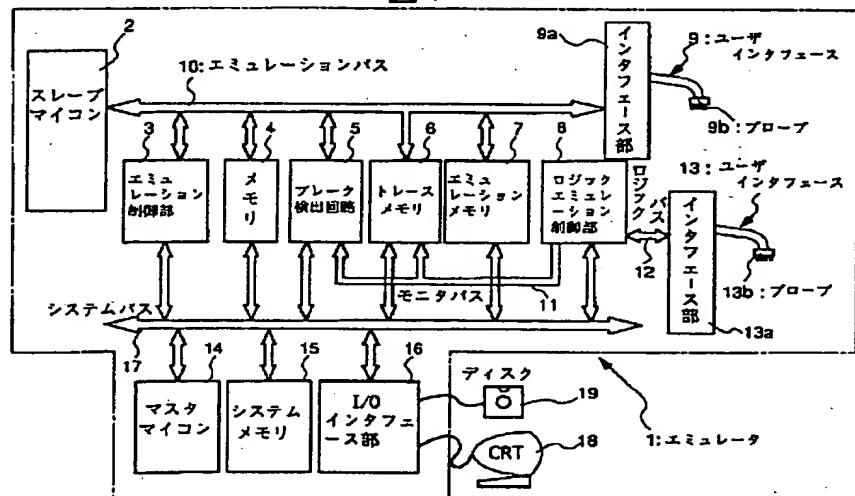
【符号の説明】

- 1 エミュレータ
- 2 スレーブマイコン
- 3 エミュレーション制御部

- | | | | |
|-----|-----------------|---------|----------------------|
| 4 | メモリ | 14 | マスター/マシン |
| 5 | ブレーキ検出回路 | 15 | システムメモリ |
| 6 | トレースメモリ | 16 | I/Oインターフェース部 |
| 7 | エミュレーションメモリ | 17 | システムバス |
| 8 | ロジックエミュレーション制御部 | 18 | CRT |
| 9 | ユーザインターフェース | 19 | ディスク |
| 9a | インターフェース部 | 20 | 論理合成ブロック書き込み制御ブロック |
| 9b | プローブ | 21 | 論理合成ブロック |
| 10 | エミュレーションバス | 21a | 汎用論理合成部 |
| 11 | モニタバス | 21b~21d | 実チップ実装エリア(ソケット) |
| 12 | ロジックバス | 22 | 書き込み制御バス |
| 13 | ユーザインターフェース | 23 | トレース、ブレーキ制御部インターフェース |
| 13a | インターフェース部 | 24 | モード選択部 |
| 13b | プローブ | 25 | 選択信号線 |

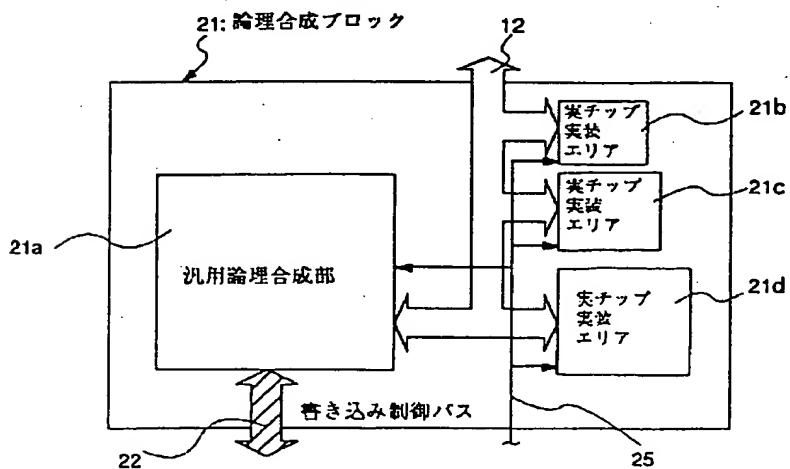
〔圖 1〕

1



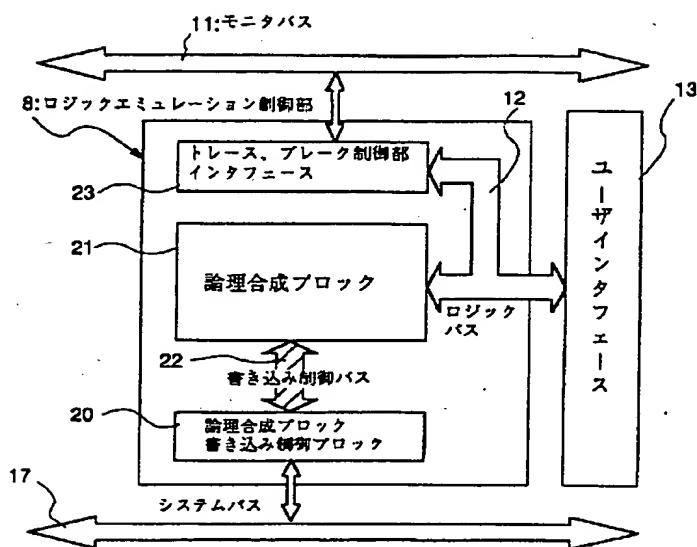
【图5】

圖 5



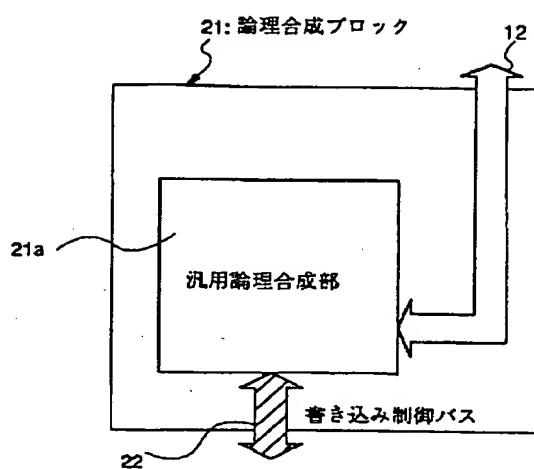
【図2】

図 2



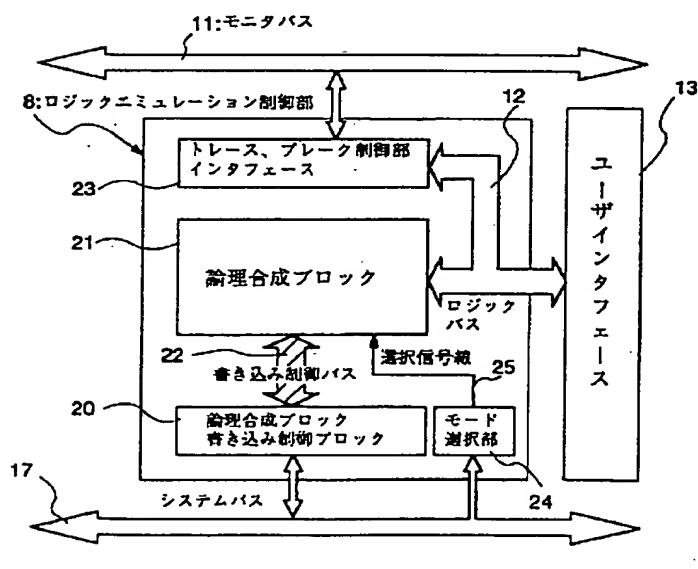
【図3】

図 3



【図4】

図 4



フロントページの続き

(72)発明者 太田 祐二

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内